

CLIPPEDIMAGE= JP02000114529A

PAT-NO: JP02000114529A

DOCUMENT-IDENTIFIER: JP 2000114529 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
HAMADA, HIROYOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SANYO ELECTRIC CO LTD	N/A

APPL-NO: JP10277359

APPL-DATE: September 30, 1998

INT-CL (IPC): H01L029/786;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a thin-film transistor(TFT) having a high field effect mobility.

SOLUTION: Related to a polycrystalline silicon TFT of top-gate type, a single crystal silicon film 3 which is to be an active layer is formed on a transparent insulating substrate 1, a gate electrode 8 is formed in the channel region of the single crystal silicon film 3 through a gate insulating film 6, and a source/ drain region 101 of LDD structure comprising low-concentration impurity regions 10 and 11 and high-concentration impurity regions 14 and 15 is formed on both sides of the channel region. In the channel region of the poly-crystal silicon film 3, a plurality of single crystal regions 102

connecting between the source/ drain region 101 are formed
vertical to the
transparent insulating substrate 1. Although electrons
cannot smoothly pass as
a grain boundary and crystal defect exists in the channel
region of the
poly-crystal silicon film 3, by providing the single
crystal region 102, the
electrons mainly pass the single crystal region 102 and
raise a field effect
mobility.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114529

(P2000-114529A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 8 Z 5 F 1 1 0
21/336			6 2 2

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号 特願平10-277359

(22) 出願日 平成10年9月30日 (1998. 9. 30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 浜田 弘喜

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100082500

弁理士 足立 勉 (外1名)

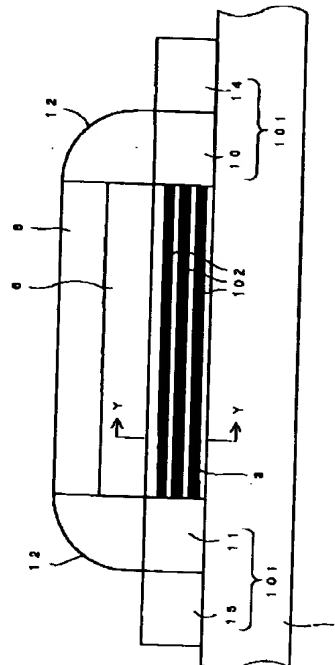
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高い電界効果移動度を有する薄膜トランジスタ (TFT) を提供する。

【解決手段】 トップゲート型の多結晶シリコンTFTにおいては、透明絶縁性基板1上に能動層となる単結晶シリコン膜3が形成され、単結晶シリコン膜3のチャネル領域上にゲート絶縁膜6を介してゲート電極8が形成され、チャネル領域の両側に低濃度不純物領域10、11および高濃度不純物領域14、15からなるLDD構造のソース・ドレイン領域101が形成されている。そして、多結晶シリコン膜3のチャネル領域中において、各ソース・ドレイン領域101間を繋ぐ単結晶領域102が、透明絶縁性基板1に対して垂直に複数形成されている。多結晶シリコン膜3のチャネル領域には結晶粒界や結晶欠陥があるため電子はスムーズに通過できないが、単結晶領域102を設けることで、電子は主に単結晶領域102を通過するようになるため、電界効果移動度を高くすることができる。



【特許請求の範囲】

【請求項1】 トランジスタの能動層となる非単結晶の半導体膜中に単結晶半導体または多結晶半導体からなる領域が形成された半導体装置。

【請求項2】 絶縁性基板上に形成されたトランジスタの能動層となる多結晶半導体膜と、その多結晶半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された単結晶半導体からなる単結晶領域とを備えた半導体装置。

【請求項3】 絶縁性基板上に形成されたトランジスタの能動層となる非晶質半導体膜と、その非晶質半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された単結晶半導体からなる単結晶領域とを備えた半導体装置。

【請求項4】 絶縁性基板上に形成されたトランジスタの能動層となる非晶質半導体膜と、その非晶質半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された多結晶半導体からなる多結晶領域とを備えた半導体装置。

【請求項5】 請求項2～4のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域間を繋ぎ、絶縁性基板に対して垂直に少なくとも1つ形成されていることを特徴とする半導体装置。

【請求項6】 請求項2～4のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域間を繋ぎ、絶縁性基板に対して水平に少なくとも1つ形成されていることを特徴とする半導体装置。

【請求項7】 請求項2～6のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域とソース・ドレイン領域とに間隙が形成され、その間隙を電子が十分にトンネリング可能なように当該間隙の幅が設定されていることを特徴とする半導体装置。

【請求項8】 請求項2～4のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域に対して平行に少なくとも1つ形成されると共に、絶縁性基板に対して垂直に少なくとも1つ形成されていることを特徴とする半導体装置。

【請求項9】 請求項2～8のいずれか1項に記載の半導体装置において、前記複数の単結晶領域間または前記複数の多結晶領域間に間隙が形成され、その間隙を電子が十分にトンネリング可能なように当該間隙の幅が設定されていることを特徴とする半導体装置。

【請求項10】 請求項1～9のいずれか1項に記載の半導体装置において、前記トランジスタの能動層における絶縁性基板とは反対

側にゲート電極が形成されてトップゲート型のトランジスタが構成されることを特徴とする半導体装置。

【請求項11】 請求項1～9のいずれか1項に記載の半導体装置において、前記トランジスタの能動層と絶縁性基板との間にゲート電極が形成されてボトムゲート型のトランジスタが構成されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、詳しくは、トランジスタの能動層となる半導体膜を備えた半導体装置に関するものである。

【0002】

【従来の技術】液晶表示装置(LCD:Liquid Crystal Display)は、マトリックスに配列された表示画素部と、その表示画素部を駆動する駆動回路部とを備えている。ここで、LCDの表示特性を向上させるために、駆動回路部を構成するトランジスタには、表示画素部を構成するトランジスタに比べて動作に高速性が要求されることから、当該トランジスタの電界効果移動度を高めることが求められている。

【0003】近年では、駆動回路部を構成する薄膜トランジスタ(TFT:Thin Film Transistor)の能動層として、多結晶シリコン膜を用いることにより、ある程度高い電界効果移動度を実現できるようになってきた。このため、表示画素部を構成するトランジスタのみならず、駆動回路部を構成するトランジスタにも、多結晶シリコン膜を能動層として用いるTFT(多結晶シリコンTFT)が使用されるようになってきた。そして、表示画素部と駆動回路部の両方を多結晶シリコンTFTによって構成し、表示画素部と駆動回路部とを同一の絶縁基板上に形成した駆動回路一体型のLCDが開発されている。

【0004】

【発明が解決しようとする課題】多結晶シリコンTFTにより表示画素部および駆動回路部が構成されるLCDでは、画素の高精細化に伴って、多結晶シリコンTFTのさらなる高移動度化(高速化)が要求されている。

【0005】ところで、多結晶シリコン膜は単結晶の結晶粒が多数個集まって形成されており、それら各結晶粒の間には結晶粒界が形成されている。また、多結晶シリコン膜には結晶欠陥も含まれている。従って、多結晶シリコン膜をTFTの能動層として用いる場合、多結晶シリコン膜を通過しようとする電子は、結晶粒界や結晶欠陥により散乱され、能動層に形成されるチャネル領域内をスムーズに通過することができない。そのため、多結晶シリコンTFTは、単結晶シリコン膜を能動層として用いるTFTほどには、電界効果移動度を高くできないという問題があった。

【0006】そして、多結晶シリコンTFTによりLC

Dの表示画素部および駆動回路部を構成した場合、LCDの表示特性の向上には限界があるという問題があった。本発明は上記問題点を解決するためになされたものであって、その目的は、高い電界効果移動度を有するトランジスタの能動層となる半導体膜を備えた半導体装置を提供することにある。

【0007】

【課題を解決するための手段】かかる目的を達成するためになされた請求項1に記載の発明は、トランジスタの能動層となる非単結晶の半導体膜中に単結晶半導体または多結晶半導体からなる領域が形成された半導体装置をその要旨とする。

【0008】次に、請求項2に記載の発明は、絶縁性基板上に形成されたトランジスタの能動層となる多結晶半導体膜と、その多結晶半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された単結晶半導体からなる単結晶領域とを備えた半導体装置をその要旨とする。

【0009】従って、本発明によれば、多結晶半導体膜のチャネル領域中には結晶粒界や結晶欠陥があるため電子はスムーズに通過できないが、単結晶領域を設けることで、電子は主に単結晶領域を通過するようになるため、電界効果移動度を高くすることができる。

【0010】次に、請求項3に記載の発明は、絶縁性基板上に形成されたトランジスタの能動層となる非晶質半導体膜と、その非晶質半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された単結晶半導体からなる単結晶領域とを備えた半導体装置をその要旨とする。

【0011】従って、本発明によれば、非晶質半導体膜のチャネル領域中を電子はスムーズに通過できないが、単結晶領域を設けることで、電子は主に単結晶領域を通過するようになるため、電界効果移動度を高くすることができる。次に、請求項4に記載の発明は、絶縁性基板上に形成されたトランジスタの能動層となる非晶質半導体膜と、その非晶質半導体膜におけるソース・ドレイン領域間のチャネル領域中に形成された多結晶半導体からなる多結晶領域とを備えた半導体装置をその要旨とする。

【0012】従って、本発明によれば、非晶質半導体膜のチャネル領域中を電子はスムーズに通過できないが、多結晶領域を設けることで、電子は主に多結晶領域を通過するようになるため、電界効果移動度を高くすることができる。ところで、請求項5に記載の発明のように、請求項2～4のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域間を繋ぎ、絶縁性基板に対して垂直に少なくとも1つ形成されるようにしてもよい。

【0013】また、請求項6に記載の発明のように、請求項2～4のいずれか1項に記載の半導体装置におい

て、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域間を繋ぎ、絶縁性基板に対して水平に少なくとも1つ形成されるようにしてもよい。

【0014】また、請求項7に記載の発明のように、請求項2～6のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域とソース・ドレイン領域とに間隙が形成され、その間隙を電子が十分にトンネリング可能なように当該間隙の幅が設定されるようにしてもよい。

10 【0015】また、請求項8に記載の発明のように、請求項2～4のいずれか1項に記載の半導体装置において、前記単結晶領域または前記多結晶領域は、ソース・ドレイン領域に対して平行に少なくとも1つ形成されると共に、絶縁性基板に対して垂直に少なくとも1つ形成されるようにしてもよい。

【0016】また、請求項9に記載の発明のように、請求項2～8のいずれか1項に記載の半導体装置において、前記複数の単結晶領域間または前記複数の多結晶領域間に間隙が形成され、その間隙を電子が十分にトンネリング可能なように当該間隙の幅が設定されるようにしてもよい。

【0017】また、請求項10に記載の発明のように、請求項1～9のいずれか1項に記載の半導体装置において、前記トランジスタの能動層における絶縁性基板とは反対側にゲート電極が形成されてトップゲート型のトランジスタが構成されるようにしてもよい。

【0018】また、請求項11に記載の発明のように、請求項1～9のいずれか1項に記載の半導体装置において、前記トランジスタの能動層と絶縁性基板との間にゲート電極が形成されてボトムゲート型のトランジスタが構成されるようにしてもよい。

【0019】尚、以下に述べる発明の実施の形態において、特許請求の範囲または課題を解決するための手段に記載の「非単結晶の半導体膜」は多結晶シリコン膜3または非晶質シリコン膜3に相当し、同じく「多結晶半導体膜」は多結晶シリコン膜3に相当し、同じく「非晶質半導体膜」は非晶質シリコン膜2に相当し、同じく「絶縁性基板」は半導体基板上に絶縁膜が形成されたものをも含むものである。

【0020】

【発明の実施の形態】以下、本発明を具体化した各実施形態を図面に基づいて説明する。尚、以下の各実施形態において、同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0021】〔第1実施形態〕図1～図12を参照して、本発明を具体化した第1実施形態の半導体装置（多結晶シリコンTFT）の製造プロセスについて説明する。

（工程1：図1参照）ガラスまたは石英ガラスからなる透明絶縁性基板1上に、LPCVD（Low Pressure Che

mical Vapor Deposition) 法を用いて、 Si_2H_6 (ジシランガス) を材料ガスとして非晶質シリコン膜 (非晶質半導体膜) 2 を形成する。この非晶質シリコン膜 2 は、約 450°C の温度条件下で 100nm 程度の膜厚を有するように形成する。

【0022】 (工程 2 : 図 2 参照) 固相成長法 (SPC : Solid Phase Crystallization) を用いて、約 600°C の温度条件下で約 20 時間のアニールを行う。これにより、非晶質シリコン膜 2 を多結晶化して多結晶シリコン膜 (多結晶半導体膜) 3 に改質する。この際、多結晶シリコン膜 3 の膜厚は、 90nm 程度に減少する。

【0023】 (工程 3 : 図 3 参照) 約 1050°C の酸素雰囲気中で約 30 分間のドライ酸化を行うことによって、多結晶シリコン膜 3 の表面を酸化する。これにより、多結晶シリコン膜 3 の表面上に 20nm 程度の膜厚を有する二酸化シリコン (SiO_2) 膜 4 を形成する。

【0024】 (工程 4 : 図 4 参照) 弗酸系のエッチャントを用いて二酸化シリコン膜 4 をウエットエッチングにより除去することにより、多結晶シリコン膜 3 の表面を露出させる。このように多結晶シリコン膜 3 の表面を酸化して二酸化シリコン膜 4 を形成した後、その二酸化シリコン膜 4 を除去すれば、多結晶シリコン膜 3 の結晶性を向上させることができる。この多結晶シリコン膜 3 が多結晶シリコン TFT の能動層となる。

【0025】 (工程 5 : 図 5 参照) 多結晶シリコン膜 3 において、ソース・ドレイン領域間のチャンネル領域となる部分に単結晶シリコンからなる単結晶領域を形成する。

(工程 6 : 図 6 参照) フォトリソグラフィ技術と RIE (Reactive Ion Etching) 法によるドライエッチング技術とを用いて、単結晶領域が形成された多結晶シリコン膜 3 をパターニングする。これにより、多結晶シリコン TFT の形成位置にのみ多結晶シリコン膜 3 が残るようにする。

【0026】 (工程 7 : 図 7 参照) パターニングされた多結晶シリコン膜 3 の上に、LPCVD 法を用いて、ゲート絶縁膜 6 となる HTO 膜 (High Temperature Oxide : シリコン酸化膜) を形成する。

【0027】 次に、熱処理を施す。この熱処理は、電気炉内に透明絶縁性基板 1 を挿入して、窒素 (N_2) 雰囲気中で約 1050°C の温度条件下で約 2 時間行う。尚、この熱処理は、RTA (Rapid Thermal Annealing) 法による急速熱処理を用いてもよい。このときの熱処理の条件は、熱源がキセノン (Xe) アークランプ、温度が約 $900\sim 1100^\circ\text{C}$ (好ましくは、 $950\sim 1100^\circ\text{C}$)、雰囲気が N_2 、時間が約 $1\sim 10$ 秒である。RTA 法による加熱は、高温を用いるが極めて短時間で終わることができるので、高温熱処理により多結晶シリコン膜 3 の結晶内の欠陥などを減少させながら、透明絶縁性基板 1 が変形するのを有効に防止することができ

る。

【0028】 (工程 8 : 図 8 参照) ゲート絶縁膜 6 の上に、LPCVD 法を用いて、ゲート電極 8 となる燐がドーパされた多結晶シリコン膜 7 を形成する。尚、多結晶シリコン膜 7 への燐のドーパは必ずしも必要ではない。

【0029】 (工程 9 : 図 9 参照) フォトリソグラフィ技術と RIE 法によるドライエッチング技術とを用いて、多結晶シリコン膜 7 およびその下のゲート絶縁膜 6 をパターニングする。これにより、多結晶シリコン膜 3 のチャンネル領域上にのみ多結晶シリコン膜 7 およびゲート絶縁膜 6 が残るようにして、多結晶シリコン膜 7 からゲート電極 8 を形成する。

【0030】 (工程 10 : 図 10 参照) 多結晶シリコン膜 3 の露出した上面およびゲート電極 8 の上面に不純物を注入する。さらに、熱処理を施すことによってその注入した不純物を活性化させる。このときの不純物は、n 型の場合はヒ素 (As) や燐 (P) を用い、その注入条件は、約 80keV 、約 $3\times 10^{13}/\text{cm}^2$ である。また、p 型の場合はボロン (B) を用い、その注入条件は、約 30keV 、約 $1.5\times 10^{13}/\text{cm}^2$ である。そして、熱処理には電気炉を用い、その熱処理条件は、約 850°C 、約 30 分間、 N_2 ガス流量が約 5 リットル/分である。

【0031】 上記のような不純物の注入および熱処理によって、多結晶シリコン膜 3 におけるゲート電極 8 から露出した部分に低濃度不純物領域 10、11 を形成する。尚、熱処理には、RTA 法による急速熱処理を用いてもよい。このときの熱処理条件は、熱源が Xe アークランプ、温度が約 $700\sim 950^\circ\text{C}$ 、雰囲気が N_2 、時間が約 $1\sim 3$ 秒である。

【0032】 (工程 11 : 図 11 参照) 多結晶シリコン膜 3 およびゲート電極 8 を覆うように、透明絶縁性基板 1 上に APCVD (常圧 CVD) 法により絶縁膜を堆積した後、この絶縁膜を異方性の全面エッチバックを用いてエッチングする。これにより、ゲート電極 8 とゲート絶縁膜 6 との側面に、当該絶縁膜からなるサイドウォール 12 を形成する。

【0033】 (工程 12 : 図 12 参照) サイドウォール 12 およびゲート電極 8 をマスクとして多結晶シリコン膜 3 に不純物を注入する。さらに、熱処理を施すことによってその注入した不純物を活性化させる。

【0034】 このときの不純物は、n 型の場合は燐を用い、その注入条件は、約 80keV 、約 $3\times 10^{15}/\text{cm}^2$ である。また、p 型の場合はボロン (B) を用い、その注入条件は、約 30keV 、約 $1.5\times 10^{15}/\text{cm}^2$ である。そして、熱処理には前記工程 10 と同様に電気炉または RTA 法を用い、その熱処理条件は前記工程 10 と同じである。

【0035】 上記のような不純物の注入および熱処理によって、多結晶シリコン膜 3 におけるサイドウォール 1

2およびゲート電極8から露出した部分に高濃度不純物領域14、15を自己整合的に形成する。以上の工程によって、単結晶領域が形成された多結晶シリコン膜3を能動層として用い、低濃度不純物領域10、11および高濃度不純物領域14、15からなるLDD (Lightly Doped Drain) 構造のソース・ドレイン領域101を備えたトップゲート型の多結晶シリコンTFTが形成される。

【0036】次に、前記工程5において、多結晶シリコン膜3のチャンネル領域となる部分に単結晶領域を形成する具体的な方法について説明する。

《方法1》多結晶シリコン膜3の表面にレーザビームを線状に照射してレーザアニールを施すことにより、そのレーザビームの照射領域近傍に単結晶シリコンからなる単結晶領域102を形成する。

【0037】図13に、完成した多結晶シリコンTFTの概略断面図を示す。図14(a)～図14(c)に、図13における多結晶シリコン膜3のX-X線断面図を示す。図14(a)に示す例では、レーザビームを各ソース・ドレイン領域101を繋ぐようにして照射走査し、その照射領域が平行になるように照射走査を繰り返す。その結果、多結晶シリコン膜3のチャンネル領域中において、各ソース・ドレイン領域101間(低濃度不純物領域10、11間)を繋ぐ単結晶領域102が、透明絶縁性基板1に対して垂直に複数形成される。ここで、単結晶領域102は多結晶シリコン膜3の上面側(ゲート絶縁膜6側)から下面側(透明絶縁性基板1側)まで均一に形成されている。

【0038】図15に、図13における多結晶シリコン膜3のY-Y線断面(縦断面)において単結晶領域102が占める面積の割合と、多結晶シリコンTFTの電界効果移動度との関係を示す。単結晶領域102がチャンネル領域断面の約30%程度になると、多結晶シリコンTFTの電界効果移動度は、多結晶シリコン膜3を単結晶シリコン膜に置き代えたTFT(単結晶シリコン膜を能動層として用いるTFT)の電界効果移動度の約60%の値となる。

【0039】つまり、多結晶シリコン膜3は単結晶の結晶粒が多数個集まって形成されており、それら各結晶粒の間には結晶粒界が形成されている。また、多結晶シリコン膜3には結晶欠陥も含まれている。そのため、多結晶シリコン膜3を通過しようとする電子は、結晶粒界や結晶欠陥により散乱され、チャンネル領域内をスムーズに通過することができない。しかし、図14(a)に示すように多結晶シリコン膜3のチャンネル領域中に単結晶領域102を形成すれば、電子は主に単結晶領域102を通過するため、電界効果移動度を高くすることができる。

【0040】ここで、トランジスタサイズ(W/L)を5/5 μ mとすると、多結晶シリコン膜3に単結晶領域

102が形成されていない場合(従来例)は、電界効果移動度(μ FE)が100cm²/Vs以下、しきい値電圧(Vth)が2～3V、サブスレッショールド値(S値)が0.3～0.4V/dec.になる。それに対して、トランジスタサイズ(W/L)を5/5 μ mとし、図14(a)に示すように、多結晶シリコン膜3に単結晶領域102が形成され、単結晶領域102がチャンネル領域断面の約30%の場合は、電界効果移動度(μ FE)が320cm²/Vs、しきい値電圧(Vth)が0.5V、サブスレッショールド値(S)が0.1V/dec.になり、従来例に比べて、 μ FE、Vth、S値がそれぞれ約3倍、約1/10、約1/2.5になる。

【0041】ところで、レーザ照射の照射エネルギー密度の範囲は約250～約600mJ/cm²が適当であり、望ましくは約300～約450mJ/cm²、特に望ましくは約330～約400mJ/cm²である。照射エネルギー密度がこの範囲より高くなると多結晶シリコン膜3表面の凹凸が大きくなるという傾向があり、低くなると良好な単結晶を得にくくなる上に面均一性が低下するという傾向がある。

【0042】また、レーザ照射の走査速度の範囲は約1 μ m/sec～約100mm/secが適当であり、望ましくは約1mm/sec～約100mm/sec、特に望ましくは約1～約20mm/secである。走査速度がこの範囲より速くなると結晶欠陥の少ない単結晶領域102を得にくくなるという傾向があり、遅くなると生産効率が低下する上に多結晶シリコン膜3表面の凹凸が増加するという傾向がある。

【0043】また、レーザビームのエネルギー分布は均一で広いことが望ましいが、レーザの光出力には限界があるため、レーザビームの線幅は0.5～1mmが適当である。そして、レーザビームの形状は照射条件により異なるが、その断面はガウス分布に近似している方が均一な単結晶を得られやすくなる。

【0044】尚、透明絶縁性基板1の温度については室温以上であればよく、特に加熱する必要はない。ここで、レーザビームとしては各種エキシマレーザビーム(KrFレーザ(波長248nm)、XeClレーザ(波長308nm)、ArFレーザ(波長193nm)、F₂レーザ(波長157nm)、KrClレーザ(波長222nm)、XeBrレーザ(波長282nm)、XeClレーザ(波長308nm)、XeFレーザ(波長351nm)など)を用いればよい。

【0045】また、エキシマレーザ以外にも、Ar⁺レーザ(波長488nm)、ルビーレーザ(波長694nm)、YAGレーザ(波長1.06 μ m)、CO₂レーザ(波長10.6 μ m)などを用いることも可能である。但し、レーザを多結晶シリコン膜3内に効率的に吸収させて単結晶領域102を形成するためには、エキシマレーザを用いるのが好ましい。

【0046】ここで、レーザビームの照射には高スループットレーザ照射法を用いればよい。高スループットレーザ照射法では、線状のレーザビームを複数パルスの重ね合わせにより照射する。この複数パルスの重ね合わせは、線状のレーザビームを短軸方向に0%~99%まで任意に重ね合わせることににより行われる。そして、ステージ走査とパルスレーザ照射とを完全に同期させ、高精度な重複状態でレーザを照射することにより、スループットを高めることができる。

【0047】図14(b)に示す例では、単結晶領域102の端部と各ソース・ドレイン領域101(低濃度不純物領域10,11)との間に間隙103が形成されている。このような間隙103が形成されている場合でも、その間隙103を電子が十分にトンネリング可能なように間隙103の幅dが設定されているならば、図14(a)に示す例と同様の作用・効果を得ることができる。尚、この幅dはドプロイの波長(シリコンでは200Å)以下にすればよい。

【0048】図16に、完成した多結晶シリコンTFTの概略断面図を示す。また、図17に、図16における多結晶シリコン膜3のX-X線断面図を示す。図16および図17に示す例では、レーザビームを各ソース・ドレイン領域101に対して平行に照射走査し、その照射操作を繰り返す。その結果、多結晶シリコン膜3のチャネル領域中において、単結晶領域102が各ソース・ドレイン領域101に対して平行に複数形成されると共に透明絶縁性基板1に対して垂直に複数形成される。ここで、単結晶領域102は多結晶シリコン膜3の上面側(ゲート絶縁膜6側)から下面側(透明絶縁性基板1側)まで均一に形成されている。

【0049】この図16および図17に示す例においても、各単結晶領域102の間隙を電子が十分にトンネリング可能なように当該間隙の幅dが設定されているならば、図14(a)に示す例と同様の作用・効果を得ることができる。

《方法2》多結晶シリコン膜3の表面全面に高エネルギービームを照射してアニールを施すことにより、その高エネルギービームの照射領域に単結晶領域102を形成する。すると、図14(c)に示すように、多結晶シリコン膜3のチャネル領域中で結晶化し易い部分から結晶化が進行してゆき、不規則な形状の単結晶領域102が形成される。

【0050】この図14(c)に示す例においても、各単結晶領域102の間隙を電子が十分にトンネリング可能なように当該間隙の幅dが設定されているならば、図14(a)に示す例と同様の作用・効果を得ることができる。ここで、高エネルギービームとしては各種ランプ(Xeアークランプ、超高压水銀ランプ、低压水銀ランプ、重水素ランプ、ハロゲンランプ、Fe/Hg金属ハロゲンランプなど)から照射されるエネルギービームを

用いればよい。但し、高エネルギービームを多結晶シリコン膜3内に効率的に吸収させて単結晶領域102を形成するためには、波長が約600nm以下のものを用いるのが好ましい。

【0051】また、高エネルギービームの照射時に透明絶縁性基板1を加熱すれば、高エネルギービームの照射と相まって単結晶領域102を効率的に形成することができる。ここで、透明絶縁性基板1の加熱温度の範囲は約100~約600℃が適当であり、望ましくは約200~約400℃、特に望ましくは約300~約400℃である。加熱温度がこの範囲より低くなると加熱による効果が得られ難くなるという傾向があり、高くなると透明絶縁性基板1に反りが発生する可能性が高まるという傾向がある。

【0052】《方法3》図18に、完成した多結晶シリコンTFTの概略断面図を示す。また、図19に、図18における多結晶シリコン膜3のY-Y線断面図を示す。前記工程1において、透明絶縁性基板1上に、まず、LPCVD法を用いて非晶質シリコン膜(以下、LP非晶質シリコン膜という)を形成し、次に、そのLP非晶質シリコン膜上にプラズマCVD法を用いて非晶質シリコン膜(以下、プラズマ非晶質シリコン膜という)を形成し、続いて、そのプラズマ非晶質シリコン膜上にLP非晶質シリコン膜を形成する、といった操作を繰り返すことにより、LP非晶質シリコン膜とプラズマ非晶質シリコン膜とが交互に複数層形成された構造の非晶質シリコン膜2を作成する。そして、工程2から工程4までは前記と同様に行う。

【0053】その後、前記工程5において、多結晶シリコン膜3の表面全面に高エネルギービームを照射してアニールを施す。すると、結晶性の高いLP非晶質シリコン膜から形成された多結晶シリコン膜は単結晶領域102に変化し、結晶性の低いプラズマ非晶質シリコン膜から形成された多結晶シリコン膜は変化しない。その結果、図18および図19に示すように、多結晶シリコン膜3のチャネル領域中において、各ソース・ドレイン領域101間(低濃度不純物領域10,11間)を繋ぐ単結晶領域102が、透明絶縁性基板1に対して水平に複数形成される。

【0054】この図18および図19に示す例においても、図14(a)に示す例と同様の作用・効果を得ることができる。尚、図18および図19に示す例を作成するには、上記の製造方法に限らず、以下のようにしてもよい。すなわち、まず、前記工程1から前記工程4を行って透明絶縁性基板1上に多結晶シリコン膜3を形成し、次に、前記工程1から前記工程4を行った後に前記工程5でデバイス表面全面に高エネルギービーム照射を行って単結晶シリコン膜3上に単結晶領域102を形成し、続いて、前記工程1から前記工程4を行って単結晶領域102上に多結晶シリコン膜3を形成する、とい

た操作を繰り返すことにより、多結晶シリコン膜3と単結晶領域102とを順次積層形成するようにしてもよい。

【0055】また、図18および図19に示す例においても、図14(b)に示す例と同様に、単結晶領域102の端部と各ソース・ドレイン領域101(低濃度不純物領域10, 11)とに間隙が形成されている場合でも、その間隙を電子が十分にトンネリング可能なように間隙の幅が設定されているならば、図14(a)に示す例と同様の作用・効果を得ることができる。

【0056】次に、図20を参照して、第1実施形態の多結晶シリコンTFTを画素駆動素子として用いた液晶表示装置(LCD)の製造プロセスについて説明する。まず、第1実施形態の多結晶シリコンTFTを形成した後、スパッタ法を用いて、透明絶縁性基板1の表示画素部領域上に、ITO(Indium Thin Oxide)からなる補助容量を構成する蓄積電極17を形成する。この蓄積電極17は、多結晶シリコンTFTの能動層となる膜がドーパされた多結晶シリコン膜3と同時に形成してもよい。

【0057】次に、デバイスの全面に層間絶縁膜33を形成する。層間絶縁膜33の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、これらの膜の形成にはCVD法またはPCVD法が用いられる。この後、層間絶縁膜33に、高濃度不純物領域14, 15に達するコンタクトホール19を形成する。そして、コンタクトホール19を埋め込むと共に層間絶縁膜33の上面に沿って延びるAlSi膜を形成した後、そのAlSi膜をパターニングすることによりソース・ドレイン電極18を形成する。

【0058】続いて、層間絶縁膜33およびソース・ドレイン電極18を覆うように層間絶縁膜16を形成した後、その層間絶縁膜16の一方のソース・ドレイン電極18上に位置する領域にコンタクトホールを形成する。そのコンタクトホール内を埋め込むとともに層間絶縁膜16の上面に沿って延びるITO膜を形成した後、そのITO膜をパターニングすることにより表示電極20を形成する。

【0059】次に、表示電極20および層間絶縁膜16上に配向膜29を形成する。そして、多結晶シリコンTFTが形成された透明絶縁性基板1と、その表面に共通電極21および配向膜29が形成された透明絶縁性基板22とを相対向させる。その状態で、透明絶縁性基板1と透明絶縁性基板22との間に液晶を封入して液晶層23を形成することにより、LCDの表示画素部を作成する。

【0060】図21に、表示画素部と駆動回路部とを同一基板上に形成した液晶表示パネルを示す。この液晶表示パネルでは、駆動回路部(ゲートドライバ25およびドレインドライバ26)の能動層と表示画素部の能動層

とを多結晶シリコン膜3によって構成している。表示画素部には、複数の表示電極20がマトリクス状に配置されている。

【0061】また、各表示電極20間は信号配線40によって接続され、ゲートドライバ25およびドレインドライバ26にもそれぞれ信号配線40が接続されている。図22に、第1実施形態の多結晶シリコンTFTを適用したアクティブマトリクス方式のLCDのブロック構成図を示す。

10 【0062】表示画素部23には、各走査線(ゲート配線)G1...Gn, Gn+1...Gmと、各データ配線(ドレイン配線)D1...Dn, Dn+1...Gmとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ互いに直交し、その直交部分に画素部24が設けられている。そして、各ゲート配線は、ゲートドライバ25に接続され、ゲート信号(走査信号)が印加される。

【0063】また、各ドレイン配線は、ドレインドライバ(データドライバ)26に接続され、データ信号(ビデオ信号)が印加される。このゲートドライバ25とドレインドライバ26とによって駆動回路部28が構成される。

【0064】ゲートドライバ25およびドレインドライバ26のうち少なくとも一方を表示画素部23と同一基板上に形成したLCDは、一般にドライバー一体型(ドライバ内蔵型)LCDと呼ばれている。尚、ゲートドライバ25が表示画素部23の両側に設けられている場合もあり、また、ドレインドライバ27が表示画素部23の両側に設けられている場合もある。

【0065】図22に示したLCDでは、画素部24の画素駆動用素子のみならず、駆動回路部28を構成するトランジスタにも、第1実施形態の多結晶シリコンTFTを用いる。この場合、LCDの製造時に、画素部24に用いる多結晶シリコンTFTと駆動回路部28に用いる多結晶シリコンTFTとを同一の透明絶縁性基板1上に並行して形成する。

【0066】図23に、ゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素部の等価回路を示す。画素部24は、画素駆動素子としてのTFTと、液晶セルLCと、補助容量Csとから構成される。ゲート配線GnにはTFTのゲートが接続されており、ドレイン配線DnにはTFTのドレインが接続されている。TFTのソースには、液晶セルLCの表示電極(画素電極)20と、補助容量電極(蓄積電極または負荷容量電極)17とが接続されている。

【0067】この液晶セルLCと補助容量Csとにより、信号蓄積素子が構成される。液晶セルLCの共通電極(表示電極20の反対側の電極)21には電圧Vcomが印加される。一方、補助容量Csにおいて、TFTのソースと接続される側の反対側の電極(対向電極)50には定電圧VRが印加される。この液晶セルLCの共

通電極21は、すべての画素部24に対して共通する電極となっている。液晶セルLCの表示電極20と共通電極21との間には静電容量が形成されている。尚、補助容量Csにおいて、対向電極50は、隣のゲート配線Gn+1と接続されている場合もある。

【0068】上記のように構成された画素部24において、ゲート配線Gnを正電圧にしてTFTのゲートに静電圧を印加すると、TFTがON状態となる。この状態で、ドレイン配線Dnに印加されたデータ信号に対応した電荷が、液晶セルLCの静電容量と補助容量Csとに

充電される。その一方、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフ状態となる。

【0069】この状態で、ドレイン配線Dnに印加されていた電圧が液晶セルLCの静電容量と補助容量Csとによって保持される。このように、画素部24へ書込むべきデータ信号をドレイン配線に与えてゲート配線の電圧を制御することによって、画素部24に任意のデータ信号を保持させることができる。その画素部24の保持しているデータ信号に応じて液晶セルLCの透過率が変

化し、それにより画像が表示される。

【0070】以上詳述したように、能動層として用いる多結晶シリコン膜3のチャネル領域中に単結晶領域102を設けることにより、電界効果移動度の高い多結晶シリコンTFTを得ることができる。そして、多結晶シリコン膜3の一部のみを単結晶領域102に改質することにより、多結晶シリコン膜3全部を単結晶化する場合に比べて、製造TAT (Turn Around Time) を短縮することが可能になり、製造コストを低減することができる。

【0071】また、このような電界効果移動度の高い多結晶シリコンTFTをLCDに用いれば、表示画素部23の高精細化および高密度化を得ることが可能になると共に、駆動回路部28の高連動作が可能になるため、LCDの表示特性を向上させることができる。

【0072】ここで、図15に示すように、多結晶シリコン膜3のY-Y線断面(縦断面)において単結晶領域102が占める面積の割合を適宜設定することにより、表示画素部23および駆動回路部28にてそれぞれ必要とされる電界効果移動度を容易に得ることができる。

【0073】〔第2実施形態〕図24および図25を参照して、本発明を具体化した第2実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスについて説明する。第1実施形態の多結晶シリコンTFTはLDD構造を採用しているが、本第2実施形態の多結晶シリコンTFTはオフセット構造を採用している。

【0074】オフセット構造を形成する場合には、第1実施形態の前記工程10(図10参照)における不純物の注入を行わず、図24に示すように、サイドウォール12の形成後に不純物を注入することにより、低濃度不純物領域10、11を形成する。そして、図25に示す

ように、サイドウォール12およびゲート電極8を覆うようにレジスト膜30を形成した後、そのレジスト膜30をマスクとして不純物を注入することによって、高濃度不純物領域14、15を形成する。

【0075】従って、第1実施形態の製造プロセスを一部変更するだけで、本第2実施形態のように、オフセット構造の多結晶シリコンTFTを容易に製造することができる。

〔第3実施形態〕図26～図36を参照して、本発明を具体化した第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスについて説明する。尚、本第3実施形態において、第1実施形態と同じ製造プロセスについては説明を簡略化する。

【0076】第1および第2実施形態の多結晶シリコンTFTはゲート電極8が多結晶シリコン膜3の上に位置するトップゲート型を採用しているが、本第3実施形態の多結晶シリコンTFTはゲート電極8が多結晶シリコン膜3の下に位置するボトムゲート型を採用している。

【0077】(工程1:図26参照)透明絶縁性基板1上にゲート電極8を形成する。次に、ゲート電極8を覆うように層間絶縁膜6を形成する。続いて、LPCVD法を用い、層間絶縁膜6上に非晶質シリコン膜2を形成する。

【0078】(工程2:図27参照)固相成長法を用いて、非晶質シリコン膜2を多結晶化して多結晶シリコン膜3に改質する。

(工程3:図28参照)ウエット酸化法を用いて多結晶シリコン膜3の表面を酸化させ、二酸化シリコン膜4を形成する。

【0079】(工程4:図29参照)二酸化シリコン膜4をウエットエッチングにより除去して、多結晶シリコン膜3の表面を露出させる。

(工程5:図30参照)多結晶シリコン膜3において、ソース・ドレイン領域間のチャネル領域となる部分に単結晶領域を形成する。

【0080】(工程6:図31参照)RTA法による急速熱処理を行う。このときの熱処理条件は、第1実施形態の前記工程7と同じである。

(工程7:図32参照)フォトリソグラフィ技術とRIE法によるドライエッチング技術とを用いて、単結晶領域が形成されて熱処理が施された多結晶シリコン膜3をパターニングする。これにより、多結晶シリコンTFTの形成位置にのみ多結晶シリコン膜3が残るようにする。

【0081】(工程8:図33参照)多結晶シリコン膜3のチャネル領域上にレジスト膜32を形成する。そして、レジスト膜32をマスクとして多結晶シリコン膜3に不純物をイオン注入することにより、高濃度不純物領域14、15を形成する。この後、レジスト32を除去する。

【0082】(工程9:図34参照)多結晶シリコン膜3および層間絶縁膜6を覆うように層間絶縁膜33を形成する。

(工程9:図35参照)層間絶縁膜33の高濃度不純物領域14、15上に位置する部分にコンタクトホールを形成した後、そのコンタクトホールを埋込むと共に層間絶縁膜33の上に延びるように、ソース・ドレイン電極18となるAlSi膜を形成する。

【0083】(工程10:図36参照)AlSi膜をパターニングすることにより、ソース・ドレイン電極18を形成する。

以上の工程によって、単結晶領域が形成された多結晶シリコン膜3を能動層として用い、高濃度不純物領域14、15からなるSD(Single Drain)構造のソース・ドレイン領域を備えたボトムゲート型の多結晶シリコンTFTが形成される。そして、本第3実施形態のボトムゲート型の多結晶シリコンTFTにおいても、第1実施形態の前記方法1~方法3を用いて、多結晶シリコン膜3のチャネル領域中に単結晶領域102を設けることで、第1実施形態と同様の作用・効果を得ることができる。

【0084】図37は、第3実施形態の多結晶シリコンTFTを画素駆動素子として用いたLCDを示す概略断面図である。図37に示すLCDにおいて、図20に示すLCDと異なるのは、ボトムゲート型の多結晶シリコンTFTを用いている点だけである。

【0085】尚、本発明は上記各実施形態に限定されるものではなく、以下のように変更してもよく、その場合でも、上記各実施形態と同様の作用および効果を得ることができる。

(1)非晶質シリコン膜2を、シリコン以外の非晶質半導体(セレン(Se)、ゲルマニウム(Ge)、砒化ガリウム(GaAs)、窒化ガリウム(GaN)など)膜に置き代えてもよい。

【0086】(2)非晶質シリコン膜2を多結晶化して多結晶シリコン膜3に改質する方法として、固相成長法ではなく、レーザーアニールやRTA法を使用する熔融再結晶化法を用いてもよい。

(3)前記工程3において多結晶シリコン膜3の表面に形成する二酸化シリコン膜4は、ドライ酸化法ではなく、ウェット酸化法で形成してもよい。

【0087】(4)多結晶シリコン膜3のチャネル領域中に単結晶領域102を形成するのではなく、多結晶シリコン膜3を非晶質シリコン膜2に置き換え、非晶質シリコン膜2のチャネル領域中に単結晶領域102を設けるようにしてもよい。つまり、多結晶シリコンTFTではなく、非晶質シリコン膜2を能動層として用いるTFTに本発明を適用し、非晶質シリコン膜2のチャネル領域中に単結晶領域102を設ける。

【0088】このような構造のTFTを製造するには、

前記工程2を省き、前記工程5では非晶質シリコン膜2のソース・ドレイン領域間のチャネル領域となる部分に単結晶領域102を形成すればよい。この場合、非晶質シリコン膜2のチャネル領域中を電子はスムーズに通過できないが、単結晶領域102を設けることで、電子は主に単結晶領域102を通過するようになるため、電界効果移動度を高くすることができる。

【0089】(5)多結晶シリコン膜3のチャネル領域中に単結晶領域102を形成するのではなく、多結晶シリコン膜3を非晶質シリコン膜2に置き換え、非晶質シリコン膜2のチャネル領域中に多結晶領域を設けるようにしてもよい。つまり、多結晶シリコンTFTではなく、非晶質シリコン膜2を能動層として用いるTFTに本発明を適用し、単結晶領域102に相当する多結晶領域を非晶質シリコン膜2のチャネル領域中に設ける。

【0090】このような構造のTFTを製造するには、前記工程2を省き、前記工程5では非晶質シリコン膜2のソース・ドレイン領域間のチャネル領域となる部分に多結晶領域を形成すればよい。ここで、多結晶領域の形成に際しては、レーザ照射条件または高エネルギービームの照射条件を適宜変更することにより、非晶質シリコン膜2が単結晶化する前で止めるようにすればよい。

【0091】この場合、非晶質シリコン膜2のチャネル領域中を電子はスムーズに通過できないが、多結晶領域を設けることで、電子は主に多結晶領域を通過するようになるため、電界効果移動度を高くすることができる。

(6)透明絶縁性基板1を、半導体基板上に形成された絶縁膜に置き代えてもよい。つまり、透明絶縁性基板1上に本発明によるTFTを形成するのではなく、半導体基板上に形成された絶縁膜上に本発明によるTFTを形成する。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図2】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図3】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図4】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図5】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図6】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図7】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図8】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図9】第1実施形態の半導体装置(多結晶シリコンT

FT)の製造プロセスを説明するための概略断面図。

【図10】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図11】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図12】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図13】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図14】図13におけるX-X線断面図。

【図15】第1実施形態の作用を説明するための特性図。

【図16】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図17】図16におけるX-X線断面図。

【図18】第1実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図19】図18におけるY-Y線断面図。

【図20】第1実施形態の多結晶シリコンTFTを用いたLCDを示す概略断面図。

【図21】表示画素部と駆動回路部とを同一基板上に形成した液晶表示パネルを示す概略平面図。

【図22】LCDの回路構成を示すブロック図。

【図23】LCDの画素部の等価回路図。

【図24】本発明を具体化した第2実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図25】第2実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図26】本発明を具体化した第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図27】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図28】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図29】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図30】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図31】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図32】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図33】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図34】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図35】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

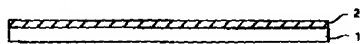
【図36】第3実施形態の半導体装置(多結晶シリコンTFT)の製造プロセスを説明するための概略断面図。

【図37】第3実施形態の多結晶シリコンTFTを用いたLCDを示す概略断面図。

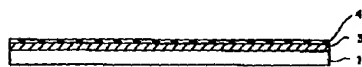
【符号の説明】

- 1…透明絶縁性基板
- 2…非晶質シリコン膜
- 3…多結晶シリコン膜
- 8…ゲート電極
- d…幅
- 101…ソース・ドレイン領域
- 102…単結晶領域
- 103…間隙

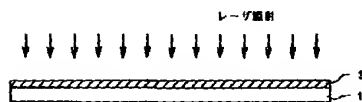
【図1】



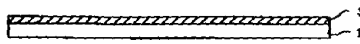
【図3】



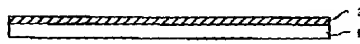
【図5】



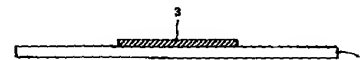
【図2】



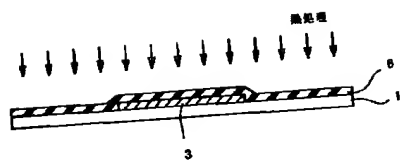
【図4】



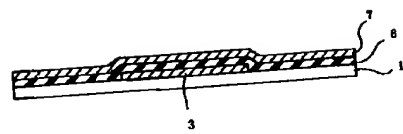
【図6】



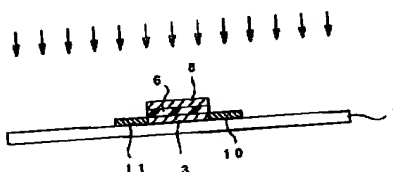
【图7】



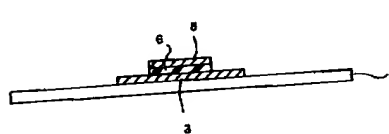
【図8】



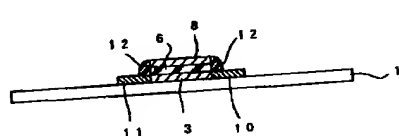
【圖10】



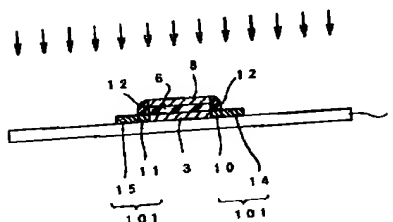
【図9】



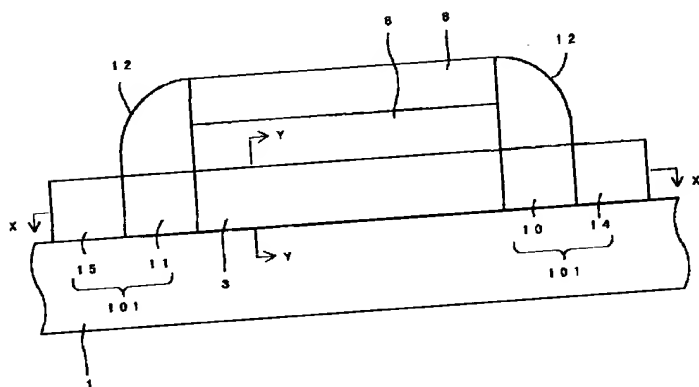
【图 1 1】



【图12】



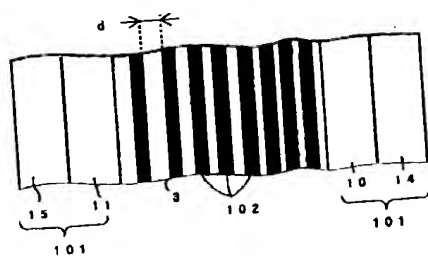
【图13】



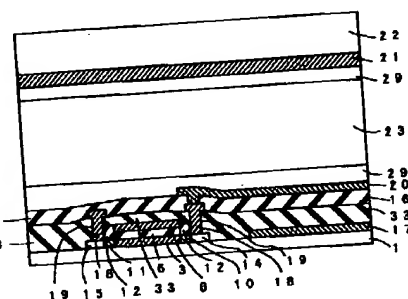
【図19】



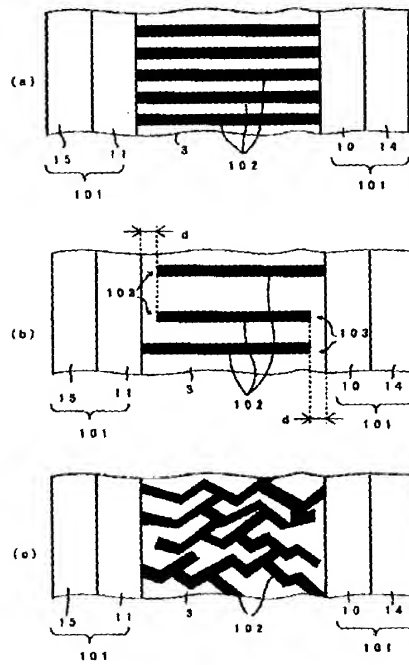
【图17】



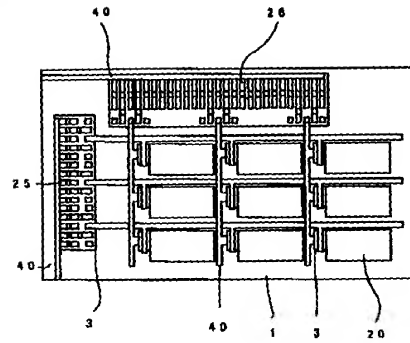
【图20】



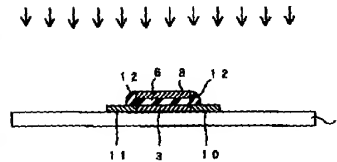
【図14】



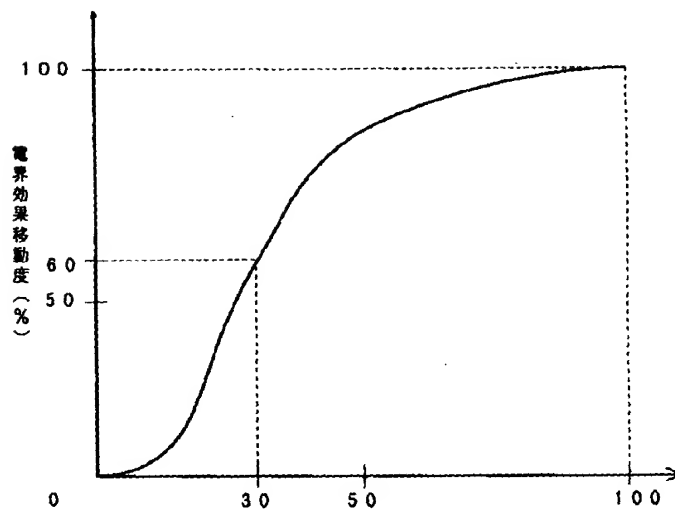
【図21】



【図24】

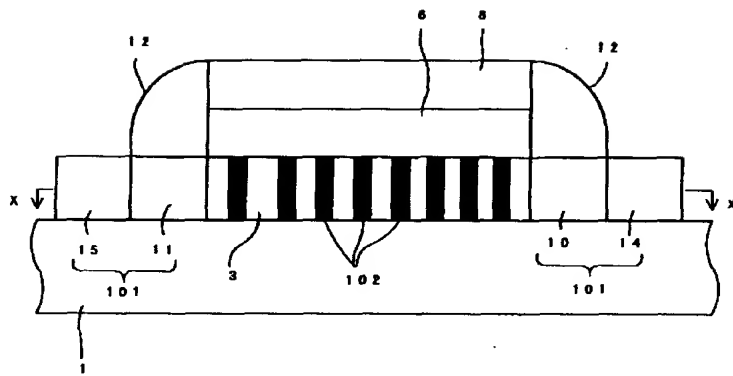


【図15】

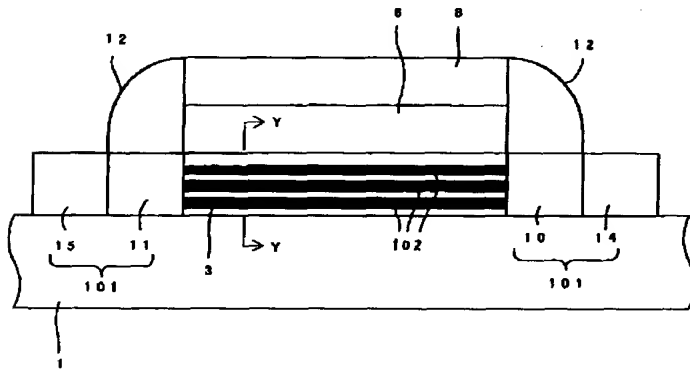


Y-Y断面で単結晶領域が占める面積の割合 (%)

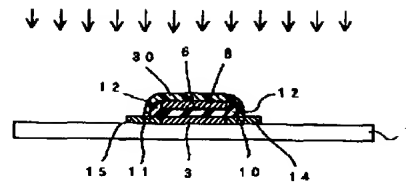
【図16】



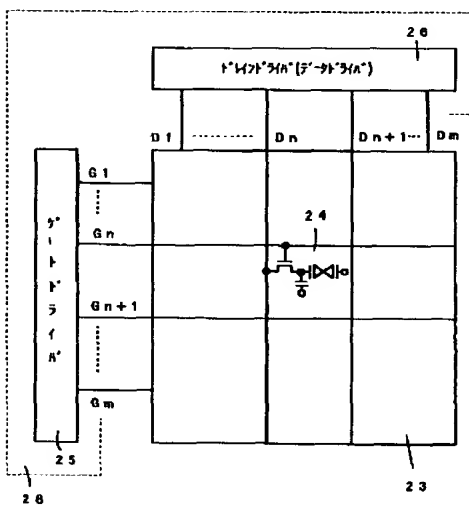
【図18】



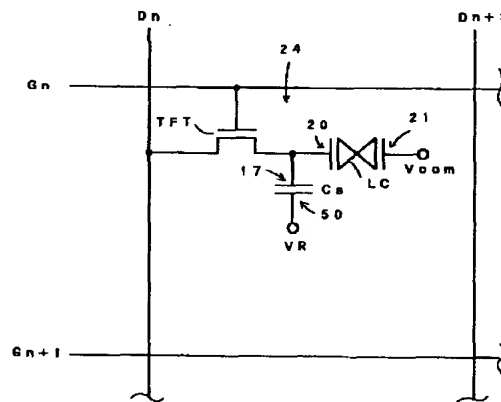
【図25】



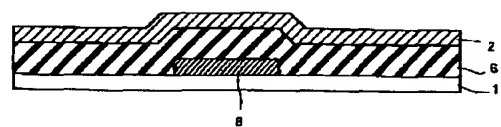
【図22】



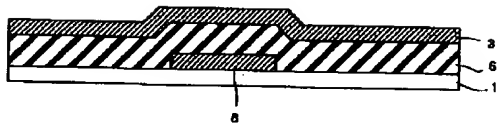
【図23】



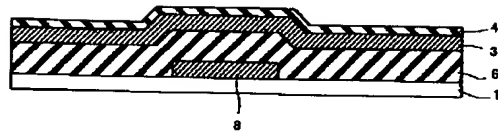
【図26】



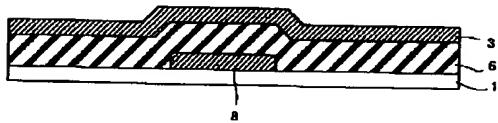
【図27】



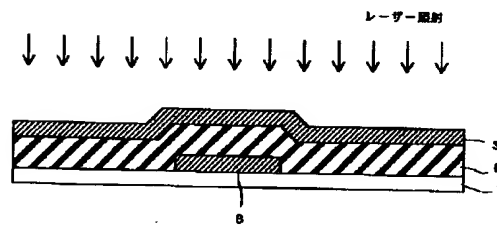
【図28】



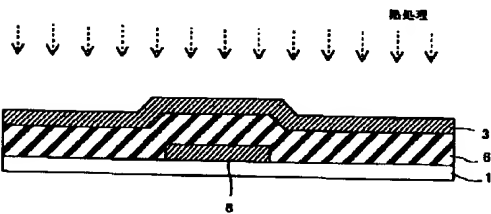
【図29】



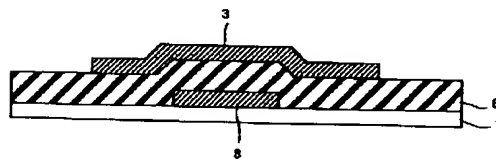
【図30】



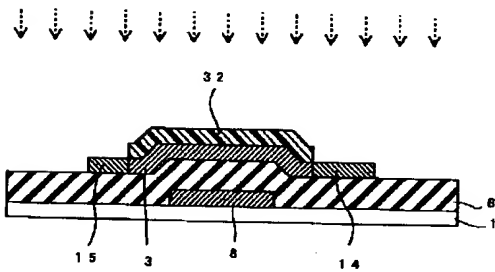
【図31】



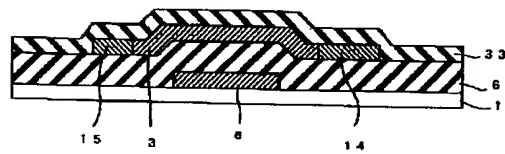
【図32】



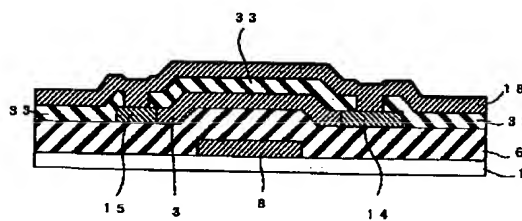
【図33】



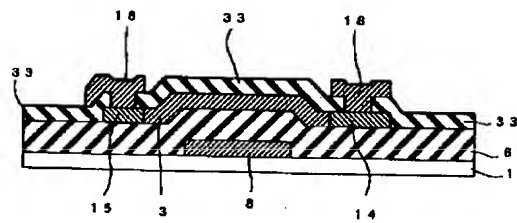
【図34】



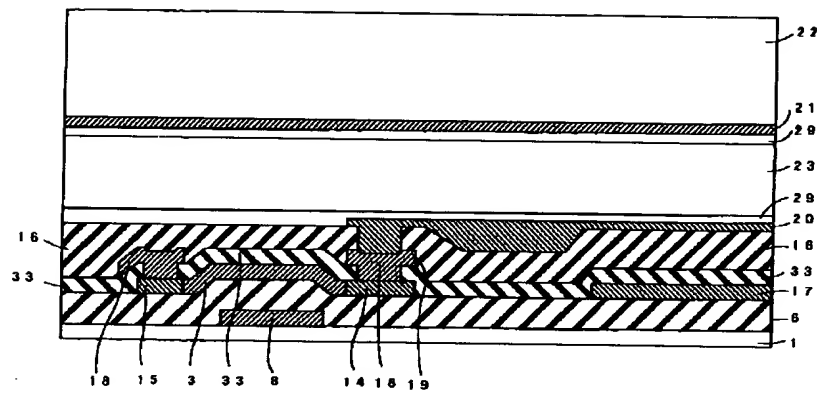
【図35】



【図36】



【図37】



フロントページの続き

Fターム(参考) 5F110 AA01 AA08 BB02 CC02 CC08
 DD03 EE09 EE32 FF02 FF32
 FF36 GG02 GG03 GG04 GG07
 GG12 GG13 GG15 GG19 GG25
 GG28 GG29 GG45 GG47 GG58
 HJ01 HJ13 HJ23 HL05 HM14
 HM15 NN02 NN23 NN24 NN35
 NN73 PP01 PP02 PP03 PP05
 PP06 PP10 QQ11